

(19)



JAPANESE PATENT OFFICE

AB

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 2002351694 A

(43) Date of publication of application: 06.12.02

(51) Int. Cl

**G06F 11/22**  
**G01R 31/28**

(21) Application number: 2001153473

(71) Applicant: NEC CORP

(22) Date of filing: 23.05.01

(72) Inventor: YAMAUCHI TAKASHI

(54) SCAN PATH TESTING METHOD

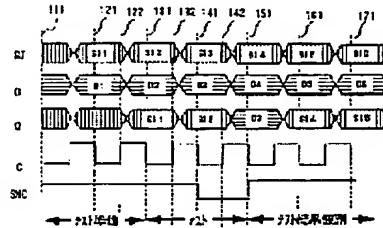
terminal.

(57) Abstract:

COPYRIGHT: (C)2003,JPO

**PROBLEM TO BE SOLVED:** To provide a testing method and a testing circuit for performing a delay test without accompanied circuit overheads and without complicated operations and performing the test of a sequential circuit without performing complicated setting.

**SOLUTION:** The setting value of a boundary flip-flop is turned to the setting value in the first clock cycle and the value for which a shift route is shifted stage by stage is set as a constraint value in the next clock cycle successively thereafter. The setting value for the test of the next clock cycle for which it is verified that it does not contradict with the constraint value is set as the setting value of the boundary flip-flop of the next clock cycle and it is repeatedly obtained over the clock cycles required for the test and set as a test pattern and successively supplied to a circuit to be tested through the shift route. Then changeover to the mode of fetching the value of a normal circuit is performed and the values of test results in a plurality of the clock cycles are shifted and observed from a



111, 121, 131, 141, 151, 161, 171 テストサイクルの境界  
122, 132, 142 クロックの0から1への変化タイミング

SI スキャンイン入力

D データ入力

Q 出力

C クロック入力

SMC 制御入力



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-351694

(P2002-351694A)

(43)公開日 平成14年12月6日 (2002.12.6)

(51)Int.Cl.<sup>7</sup>

G 0 6 F 11/22  
G 0 1 R 31/28

識別記号

3 6 0  
3 1 0

F I

G 0 6 F 11/22  
G 0 1 R 31/28

テ-マコト<sup>7</sup>(参考)  
3 6 0 P 2 G 1 3 2  
3 1 0 B 5 B 0 4 8  
G

審査請求 未請求 請求項の数10 O.L (全 13 頁)

(21)出願番号 特願2001-153473(P2001-153473)

(22)出願日 平成13年5月23日 (2001.5.23)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 山内 尚

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 100097113

弁理士 堀 城之

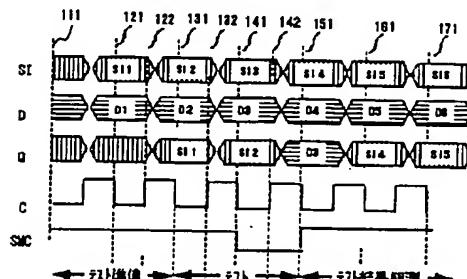
F ターム(参考) 2G132 AA05 AA09 AC14 AD07 AE23  
AG08 AG12 AL09  
5B048 AA20 CC18

(54)【発明の名称】スキャンバステスト方法

(57)【要約】

【課題】 本発明は、遅延テストを回路オーバーヘッドを伴うことなく、複雑な操作なしに行い、順序回路のテストを複雑な設定を行うことなく実施することの可能なテスト方法及び回路を提供する。

【解決手段】 境界フリップフロップの設定値を、最初のクロックサイクルでの設定値とし、以後順次、シフト経路を1段ずつシフトした値を次のクロックサイクルでの制約値として設定し、制約値と矛盾を生じないことを検証した次のクロックサイクルのテストのための設定値を次のクロックサイクルの境界フリップフロップの設定値として設定してゆき、テストに必要なクロックサイクルに渡って繰り返し求めてテストパターンとして設定し、シフト経路を通してシフトモードのまま連続して被テスト回路に与えた後に、通常回路の値を取り込むモードに切り替え、複数のクロックサイクルでのテスト結果の値をシフトして端子より観測する。



111, 121, 131, 141, 151, 161, 171 テストサイクルの境界  
122, 132, 142 クロックの0から1への変化タイミング  
SI スキャンイン入力  
D データ入力  
Q 出力  
C クロック入力  
SMC 制御入力

## 【特許請求の範囲】

【請求項1】 フリップフロップにシフト経路を設け、前記シフト経路を通して被テスト回路に値を設定し、テストするスキャンバステスト方法であって、一度のテストを行うために連続した複数のクロックサイクルが必要なテストを行う場合に、テスト開始時のクロックサイクルの被テスト回路のテストのために直接値を設定する必要のある被テスト回路との境界に位置する境界フリップフロップの設定値を、最初のクロックサイクルでの前記境界フリップフロップの設定値とし、以後順次、前記シフト経路を1段ずつシフトした値を次のクロックサイクルでの前記境界フリップフロップの制約値として設定し、前記制約値と矛盾を生じないことを検証した前記次のクロックサイクルのテストのための設定値を前記次のクロックサイクルの前記境界フリップフロップの設定値として設定してゆき、前記被テスト回路のテストに必要なクロックサイクルに渡って繰り返し求め、一度のテストを行うためのテストバタンとして設定し、前記テストバタンを前記シフト経路を通し、シフトモードのまま連続して、被テスト回路に与えた後に、通常回路の値を取り込むモードに切り替え、複数のクロックサイクルでのテスト結果を取り込み、該結果の値をシフトして端子より観測することを特徴とするスキャンバステスト方法。

【請求項2】 前記境界フリップフロップは、スキャンフリップフロップであることを特徴とする請求項1記載のスキャンバステスト方法。

【請求項3】 フリップフロップにシフト経路を設け、前記シフト経路を通して前記被テスト回路に値を設定してテストするスキャンバステスト方法であって、一度のテストを行うために複数のクロックサイクルの値の設定が必要な被テスト回路に対し、テストに必要なクロックサイクルがnサイクルである場合、シフトモードのときに、前記被テスト回路のテストのために直接値を設定する必要のある前記被テスト回路との境界に位置する境界フリップフロップを構成する、各フリップフロップの入力側に接続されるn-1段のフリップフロップを、前記被テスト回路の前記境界フリップフロップを構成する前記各フリップフロップとは異なるフリップフロップで構成されるようシフトモード時のシフトバスを形成し、使用して複数のクロックサイクルのテスト値を設定してテストを行うことを特徴とするスキャンバステスト方法。

【請求項4】 前記境界フリップフロップは、スキャンフリップフロップであることを特徴とする請求項3記載のスキャンバステスト方法。

【請求項5】 フリップフロップにシフト経路を設け、前記シフト経路を通して被テスト回路に値を設定し、テストするスキャンバステストに使用されるスキャンバステスト回路であって、

一度のテストを行うために連続した複数のクロックサイクルが必要なテストを行う場合に、テスト開始時のクロックサイクルの被テスト回路のテストのために直接値を設定する必要のある被テスト回路との境界に位置する境界フリップフロップの設定値が、最初のクロックサイクルでの前記境界フリップフロップの設定値とされ、以後順次、前記シフト経路を1段ずつシフトした値を次のクロックサイクルでの前記境界フリップフロップの制約値として設定され、前記制約値と矛盾を生じないことを検証した前記次のクロックサイクルのテストのための設定値が前記次のクロックサイクルの前記境界フリップフロップの設定値として設定されることにより、前記被テスト回路のテストに必要なクロックサイクルに渡って繰り返し求め、一度のテストを行うためのテストバタンとして設定し、前記テストバタンを前記シフト経路を通し、シフトモードのまま連続して、前記被テスト回路に与えた後に、通常回路の値を取り込むモードに切り替え、複数のクロックサイクルでのテスト結果を取り込み、該結果の値をシフトして端子より観測するスキャンバステスト回路。

【請求項6】 前記境界フリップフロップは、スキャンフリップフロップであることを特徴とする請求項5記載のスキャンバステスト回路。

【請求項7】 請求項5又は6記載のスキャンバステスト回路を備える集積回路テスト回路。

【請求項8】 フリップフロップにシフト経路を設け、前記シフト経路を通して前記被テスト回路に値を設定してテストするスキャンバステストに使用されるスキャンバステスト回路であって、

一度のテストを行うために複数のクロックサイクルの値の設定が必要な被テスト回路に対し、テストに必要なクロックサイクルがnサイクルである場合、前記被テスト回路のテストのために直接値を設定する必要のある被テスト回路との境界に位置する境界フリップフロップを構成する、各フリップフロップの入力側に接続されるn-1段のフリップフロップを、前記被テスト回路の前記境界フリップフロップを構成する前記各フリップフロップとは異なるフリップフロップで構成されるようシフトモード時のシフトバスを形成したことを特徴とするスキャンバステスト回路。

【請求項9】 前記境界フリップフロップは、スキャンフリップフロップであることを特徴とする請求項8記載のスキャンバステスト回路。

【請求項10】 請求項8又は9記載のスキャンバステスト回路を備える集積回路テスト回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、集積回路のテスト方法に関し、特にスキャンバステスト方法及びスキャンバステストを行うための回路に属する。

## 【0002】

【従来の技術】従来、例えば、特許第3090929号に示される従来の遅延テスト手法は、基本的に、特許第3090929号の特許請求項1に示されるように、論理回路内のレジスタ出力から次のレジスタ入力に至る組合せ回路の特定な検査バスを活性化するような入力パターンIを求め、前記レジスタにクロックを1発打つことにより前記入力パターンIが組合せ回路の入力部にあたる前記レジスタにセットされるような入力パターンIIを求め、前記入力パターンIIを前記論理回路にスキャンインした後、クロックを前記論理回路の動作仕様で2発打つことによってテストされる。

【0003】つまり、一度、スキャンバスをシフトモードとし、次のクロックサイクルで被テスト回路の検査バスを活性化するための準備のパターンである入力パターンIIをセットした後、通常動作モードとして、クロックを1発打ち、被テスト回路の検査バスを活性化する入力パターンIとしてレジスタに読み込ませた後、更にクロックを1発打ち、テスト結果を取り込む。

## 【0004】

【発明が解決しようとする課題】しかしながら、従来技術には以下に掲げる問題点があった。上記の従来例の場合、実際に被テスト回路を活性化するパターンは入力パターンIであるにもかかわらず、被テスト回路の入力レジスタに直接スキャンインできず、被テスト回路の入力レジスタを次のクロックサイクルで入力パターンIとするような、入力パターンIIをスキャンインする必要がある。つまり、被テスト回路の入力レジスタに至る回路を通常動作で設定する方法を求める、値を設定する必要がある。

【0005】例えば、図5の回路において、スキャンフリップフロップ510から、ANDゲート512と513を経て、フリップフロップ515に至る経路に対し、スキャンフリップフロップ510が値0から値1に変化する場合の、遅延テストをするためには、1発目のクロックを入れた時点でスキャンフリップフロップ508とスキャンフリップフロップ509を値1に設定し、スキャンフリップフロップ510には、まず1発目のクロックを入れる前に値0を設定し、1発目のクロックを入れた後に値1となるように設定せねばならない。511はインバーターである。

【0006】上記1発目のクロックを入れた後の値の設定は、特許第3090929号に示される従来の方法では、スキャンバスフリップフロップのシフト値で設定するわけではなく、通常動作をさせることで設定される。つまり、スキャンフリップフロップ501、502及びスキャンフリップフロップ503へのシフト値からインバーター504、505及びANDゲート506、507の回路を動作させ、スキャンフリップフロップ508、509及びスキャンフリップフロップ510の1発

目のクロック入力後の設定を行うことになる。

【0007】逆に言えば、スキャンフリップフロップ508、509及びスキャンフリップフロップ510の1発目のクロック入力後の設定値をインバーター504、505、ANDゲート506及びANDゲート507の回路を考慮して、スキャンフリップフロップ501、502及びスキャンフリップフロップ503へのシフト値を決定する必要がある。

【0008】つまり、特許第3090929号に示される従来の方法では、入力パターンIから入力パターンIIを求めることが複雑であるという欠点を有している。

【0009】本発明は斯かる問題点を鑑みてなされたものであり、第1の目的とするところは、遅延テストを、回路オーバーヘッドを伴うことなく、しかも、通常回路を通常動作をさせて、値を設定するという複雑な操作なしに、行うことの可能なテスト方法及び回路を提供する点にある。

【0010】本発明の第2の目的は、順序回路のテストを、必要以上に、複雑な通常回路の設定を行うことなく、実施することの可能なテスト方法及び回路を提供する点にある。

## 【0011】

【課題を解決するための手段】本発明は上記課題を解決すべく、以下に掲げる構成とした。請求項1記載の発明の要旨は、フリップフロップにシフト経路を設け、前記シフト経路を通して被テスト回路に値を設定し、テストするスキャンバステスト方法であって、一度のテストを行うために連続した複数のクロックサイクルが必要なテストを行う場合に、テスト開始時のクロックサイクルの被テスト回路のテストのために直接値を設定する必要のある被テスト回路との境界に位置する境界フリップフロップの設定値を、最初のクロックサイクルでの前記境界フリップフロップの設定値とし、以後順次、前記シフト経路を1段ずつシフトした値を次のクロックサイクルでの前記境界フリップフロップの制約値として設定し、前記制約値と矛盾を生じないことを検証した前記次のクロックサイクルのテストのための設定値を前記次のクロックサイクルの前記境界フリップフロップの設定値として設定してゆき、前記被テスト回路のテストに必要なクロックサイクルに渡って繰り返し求め、一度のテストを行うためのテストパターンとして設定し、前記テストパターンを前記シフト経路を通し、シフトモードのまま連続して、被テスト回路に与えた後に、通常回路の値を取り込むモードに切り替え、複数のクロックサイクルでのテスト結果を取り込み、該結果の値をシフトして端子より観測することを特徴とするスキャンバステスト方法に存する。請求項2記載の発明の要旨は、前記境界フリップフロップは、スキャンフリップフロップであることを特徴とする請求項1記載のスキャンバステスト方法に存する。請求項3記載の発明の要旨は、フリップフロップに

シフト経路を設け、前記シフト経路を通して前記被テスト回路に値を設定してテストするスキャンバステスト方法であって、一度のテストを行うために複数のクロックサイクルの値の設定が必要な被テスト回路に対し、テストに必要なクロックサイクルがnサイクルである場合、シフトモードのときに、前記被テスト回路のテストのために直接値を設定する必要のある前記被テスト回路との境界に位置する境界フリップフロップを構成する、各フリップフロップの入力側に接続されるn-1段のフリップフロップを、前記被テスト回路の前記境界フリップフロップを構成する前記各フリップフロップとは異なるフリップフロップで構成されるようシフトモード時のシフトバスを形成し、使用して複数のクロックサイクルのテスト値を設定してテストを行うことを特徴とするスキャンバステスト方法に存する。請求項4記載の発明の要旨は、前記境界フリップフロップは、スキャンフリップフロップであることを特徴とする請求項3記載のスキャンバステスト方法に存する。請求項5記載の発明の要旨は、フリップフロップにシフト経路を設け、前記シフト経路を通して被テスト回路に値を設定し、テストするスキャンバステストに使用されるスキャンバステスト回路であって、一度のテストを行うために連続した複数のクロックサイクルが必要なテストを行う場合に、テスト開始時のクロックサイクルの被テスト回路のテストのために直接値を設定する必要のある被テスト回路との境界に位置する境界フリップフロップの設定値が、最初のクロックサイクルでの前記境界フリップフロップの設定値とされ、以後順次、前記シフト経路を1段ずつシフトした値を次のクロックサイクルでの前記境界フリップフロップの制約値として設定され、前記制約値と矛盾を生じないことを検証した前記次のクロックサイクルのテストのための設定値が前記次のクロックサイクルの前記境界フリップフロップの設定値として設定されることにより、前記被テスト回路のテストに必要なクロックサイクルに渡って繰り返し求め、一度のテストを行うためのテストパタンとして設定し、前記テストパタンを前記シフト経路を通し、シフトモードのまま連続して、前記被テスト回路に与えた後に、通常回路の値を取り込むモードに切り替え、複数のクロックサイクルでのテスト結果を取り込み、該結果の値をシフトして端子より観測するスキャンバステスト回路に存する。請求項6記載の発明の要旨は、前記境界フリップフロップは、スキャンフリップフロップであることを特徴とする請求項5記載のスキャンバステスト回路に存する。請求項7記載の発明の要旨は、請求項5又は6記載のスキャンバステスト回路を備える集積回路テスト回路に存する。請求項8記載の発明の要旨は、フリップフロップにシフト経路を設け、前記シフト経路を通して前記被テスト回路に値を設定してテストするスキャンバステストに使用されるスキャンバステスト回路であって、一度のテストを行うために複数の

クロックサイクルの値の設定が必要な被テスト回路に対し、テストに必要なクロックサイクルがnサイクルである場合、前記被テスト回路のテストのために直接値を設定する必要のある被テスト回路との境界に位置する境界フリップフロップを構成する、各フリップフロップの入力側に接続されるn-1段のフリップフロップを、前記被テスト回路の前記境界フリップフロップを構成する前記各フリップフロップとは異なるフリップフロップで構成されるようシフトモード時のシフトバスを形成したことを特徴とするスキャンバステスト回路に存する。請求項9記載の発明の要旨は、前記境界フリップフロップは、スキャンフリップフロップであることを特徴とする請求項8記載のスキャンバステスト回路に存する。請求項10記載の発明の要旨は、請求項8又は9記載のスキャンバステスト回路を備える集積回路テスト回路に存する。本発明の第1のスキャンバステスト方法は、フリップフロップにシフト経路を設け、シフト経路を通して被テスト回路に値を設定しテストするスキャンバステスト方法において、一度のテストを行うための連続した複数のクロックサイクルが必要なテストを行う場合に、被テスト回路のテストを行うための複数の連続したクロックサイクルの設定値をシフト経路を通し、シフトモードのまま連続して入力を設定するテストパタンが各クロックサイクルでのテスト値として採用可能なことを検証し、該検証されたテストパタンを、被テスト回路のテストを行うための複数の連続したクロックサイクルの設定値としてシフト経路を通して、シフトモードのまま連続して設定した後に通常回路の値を取り込むモードに切り替え、複数のクロックサイクルでのテスト結果を取り込み、該値をシフトして端子より観測するテスト方法であり、複数クロックサイクルの設定において、最終のテストサイクルに至るまでの過程で、通常回路を動作させる替わりに、シフト動作を用いて値の設定を行う、該シフト動作を用いた値の設定は、外部入力端子から入力した値が直接設定可能であるため、非常に簡単に値の設定が行えるという利点を有する。また、本発明の第2のスキャンバステスト方法は、フリップフロップにシフト経路を設け、シフト経路を通して被テスト回路に値を設定しテストするスキャンバステスト方法において、一度のテストを行うための連続した複数のクロックサイクルが必要なテストをシフトモードのまま連続して設定した後に通常回路の値を取り込むモードに切り替え、複数のクロックサイクルでのテスト結果を取り込み、該値をシフトして端子より観測するテスト方法において、テストに必要なクロックサイクルがnサイクルである場合、被テスト回路のテストのために直接値を設定する必要のある被テスト回路との境界に位置するフリップフロップを境界フリップフロップと呼ぶとき、シフトモードの場合に、前記境界フリップフロップを構成する各フリップフロップの入力側に接続されるn-1段のフリップフロップを

被テスト回路の前記境界フリップフロップを構成するフリップフロップとは異なるフリップフロップで構成されるようシフトモード時のシフトバスを形成し、該シフトバスを使用して複数のクロックサイクルのテスト値を設定しテストを行うテスト方法及び回路である。つまり、時系列で被テスト回路に与える設定値に対し、テストの開始時点において、最初のクロックサイクルで与える値を境界フリップフロップに、次のクロックサイクルで与える値を境界フリップフロップの1段前のフリップフロップに、更に次のクロックサイクルで与える値を境界フリップフロップの2段前のフリップフロップに与えるというよう、順次シフト値を設定しておけば、テスト開始後シフト動作を繰り返すことにより、被テスト回路には、必要な値が、設定されるが、本方法では、境界フリップフロップに順次値をシフトするn-1段のフリップフロップは、境界フリップフロップ以外のフリップフロップで構成しているため、自由な値をシフト値として設定可能であるため、シフト値相互に制約が全くなくなり、更にテストが容易となる。

#### 【0012】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。図1は本発明の回路のテスト方法を実施した場合の、回路制御方法を示したタイミングチャートである。図1に示したタイミングチャートは、図2あるいは図4の回路を対象回路としている。図3は、従来の回路のテスト方法による回路制御方法を示したタイミングチャートである。図3のタイミングチャートは図2の回路を対象回路としている。

【0013】図1及び図3は、境界フリップフロップの値を示している。図1と図3の波形は、上から順に、1番上のS Iで示される波形が境界フリップフロップのスキャンイン入力S Iの値、上から2番目のDで示される波形がデータ入力Dの値、上から3番目のQで示される波形が出力Qの値、上から4番目のCで示される波形がクロック入力Cの値、上から5番目のSMCで示される波形がシフトと通常動作の切替えを行う制御入力SMCの値を示している。

【0014】図1及び図3に示した境界フリップフロップは、クロック入力Cの立ち上りエッジでデータ入力D又はスキャンイン入力S Iの値を取り込み、出力Qに値を出力する。制御入力SMCの値は、1をシフトモード、0を通常動作モードとしている。制御入力SMCが1の時、フリップフロップはクロック入力Cの立ち上りエッジに同期して、スキャンイン入力S Iの値を取り込み出力Qに出力し、制御入力SMCが0の時、フリップフロップはクロック入力Cの立ち上りエッジに同期して、データ入力Dの値を取り込み出力Qに出力するという動作をする。

【0015】また、図1において、111, 121, 131, 141, 151, 161, 171はテストサイク

ルの境界を表し、122, 132, 142はクロックの0から1への変化タイミングを表すとともに、図3において、311, 321, 331, 341, 351, 361, 371はテストサイクルの境界を表し、322, 332, 342はクロックの0から1への変化タイミングを表すものである。

【0016】まず、図3を用いて、従来の回路のテスト方法による回路制御方法を説明する。ここでは、図2の回路のテスト対象のRAM241の遅延テストを行う場合を示している。図2の211～215, 231～235, 251～255及び271～275はスキャンフリップフロップである。221及び261は、テスト対象のRAM241の入力を生成し、テスト対象のRAM241の出力を受ける通常動作回路である。

【0017】図3に、従来の回路のテスト方法での、回路制御方法を示す。なお、テストサイクルの境界311以前及びテストサイクルの境界371以降のサイクルもスキャンシフトのサイクルであるが、省略をしている。テストサイクルの境界331までのサイクルで、スキャンフリップフロップに遅延テストを行うための値をシフトする。該時点のシフト値は、特許第3090929号の表現では入力パターンIIに相当する。

【0018】上記期間は、シフトモードであるため、制御入力SMCの値は1である。該時点のテスト対象のRAM241の境界フリップフロップであるスキャンフリップフロップ231～235及びスキャンフリップフロップ251～255には、遅延テストの変化前の値が設定される。

【0019】次に、従来方法では、回路を通常動作モードに切り替え、図3のクロックの0から1への変化タイミング332のタイミングに同期させ、通常動作回路221及び通常動作回路261を通常動作をさせ、境界フリップフロップに遅延テストのための変化を起こす値を設定する。上記時点のシフト値は、特許第3090929号の表現では入力パターンIに相当する。上記時点でテスト対象のRAM241が動作し、該結果は、スキャンフリップフロップ251及びスキャンフリップフロップ252のフリップフロップに取り込まれる。

【0020】上記時点の変化がクロックの0から1への変化タイミング342のタイミングまでに間に合うか否かで、被テスト回路が遅延時間の仕様を満たしているか否かがテストされる。

【0021】上記したように、従来のテスト方法では、2サイクルに渡って、回路を通常動作させる必要があった。上記2サイクルの間は、制御入力SMCは0となる。つまり、図2の回路では、通常動作回路221及び通常動作回路261を通常動作させる必要があり、該動作を考慮した値をスキャンシフトで設定する必要があり、上記考慮した値を求める作業が非常に複雑になっていた。

【0022】上記従来例に対し、本発明のテスト方法による回路制御方法を図1に示す。本発明のテスト方法では、従来法と同様に、クロックの0から1への変化タイミング122のタイミングに同期して遅延テストのための変化前の値を設定し、クロックの0から1への変化タイミング132のタイミングに同期して、遅延テストの変化を起こす値を設定する。

【0023】上記時点では、従来法と異なり、クロックの0から1への変化タイミング132のタイミングでは通常動作モードとせず、シフトモードとし、スキャンシフトを継続させた後、被テスト回路の値取り込みのタイミングであるクロックの0から1への変化タイミング142のサイクルのみ通常動作モードとする。制御入力SMCの波形では、テストサイクルの境界141から151までの1サイクルのみが通常動作モードとなる。

【0024】つまり、本発明のテスト方法では、テスト値の設定時には、通常動作モードとしないため、通常動作回路221や通常動作回路261を通常動作させる必要がなく、スキャンシフト値の決定を、通常動作回路221や通常動作回路261の回路を考慮することなく、行える。

【0025】今、スキャンフリップフロップ231と232の出力をそれぞれ書き込みデータの下位ビットと上位ビットとし、スキャンフリップフロップ233と234の出力をそれぞれ、書き込みアドレス下位ビットと上位ビットとし、スキャンフリップフロップ235の出力を書き込みイネーブルとし、スキャンフリップフロップ251と252の入力をそれぞれ、読みだしデータの下位ビットと上位ビットとし、スキャンフリップフロップ253と254の出力をそれぞれ読みだしアドレスの下位ビットと上位ビットとし、スキャンフリップフロップ255の出力を読みだしイネーブルとする。

【0026】該設定において、書き込みイネーブルのイネーブル値と読みだしイネーブルのイネーブル値は、共に1とする。該前提で、値の設定に関し説明する。今、2進表記で11のアドレスに、データ10を書いており、同アドレスのデータを11に書き換える場合の遅延のテストを行う場合は、まず、図1のクロックの0から1への変化タイミング122のタイミングに同期して、スキャンフリップフロップ231、232、233、234、235がそれぞれ、0、1、1、1、1になるように、値をスキャンシフトする。

【0027】更に、シフト動作を継続し、次のクロックの0から1への変化タイミング132のタイミングに同期して、スキャンフリップフロップ231、232、233、234、235がそれぞれ、1、1、1、1、1、更にスキャンフリップフロップ251、252、253、254、255には、それぞれ、0、1、1、1、1になるように、値をスキャンシフトする。なお、該設定では、スキャンフリップフロップ252の値は変

化しないため、特に限定する必要はないが、仮に1とした。

【0028】上記の場合、クロックの0から1への変化タイミング122のタイミングで取り込まれるシフト値としては、1シフト後の値を考慮し、スキャンフリップフロップ215及びスキャンフリップフロップ275の値を含めて、矛盾なく設定可能であることを検証して、設定しておけば良い。

【0029】つまり、クロックの0から1への変化タイミング122のタイミングでは、スキャンフリップフロップ231、232、233、234、235、215がそれぞれ、0、1、1、1、1、1に、更にスキャンフリップフロップ252、253、254、255、275が、それぞれ、0、1、1、1、1になるように、値をスキャンシフトしておけば、次のクロックの0から1への変化タイミング132のタイミングには、上記の値がシフトされ、スキャンフリップフロップ231、232、233、234、235がそれぞれ、1、1、1、1、1に、更にスキャンフリップフロップ251、252、253、254、255が、それぞれ、0、1、1、1、1になるように、矛盾なく値が設定される。設定値の矛盾を検証しつつテストパターンを求める処理の詳細については後述する。

【0030】上記の場合の値の設定は、遅延テストの変化前の設定値と変化を起こすときの設定値の関係によつては、テストが不可能な場合もある。上記のような場合を考慮して、あらかじめ、タイミング的にクリティカルな部分が判明している場合は、本方法に基づく遅延テストが容易なように回路構成を変更しておくと、更に有効である。図4を用いて説明する。

【0031】図4は、スキャンバスフリップフロップ間の相互接続以外は、図2と同じである。441は、遅延テストのテスト対象のRAMであり、411～415、431～435、451～455及び471～475がスキャンフリップフロップであり、421及び461は、テスト対象のRAM441の入力を生成し、テスト対象のRAM441の出力を受ける通常動作回路である。

【0032】ここで、図4の回路構成では、境界フリップフロップであるスキャンフリップフロップ431～435とスキャンフリップフロップ451～455のそれぞれに対し、シフトバス上の1段前のフリップフロップは、境界フリップフロップではないスキャンフリップフロップとなる構成となっている。

【0033】テスト対象のRAM441の遅延テストをするためには、2サイクルに渡るテストが必要であるが、上記の構成となっているため、連続にシフトを行い、テストを行う場合でも、2サイクルにわたり、独立な値を設定可能であり、テスト対象のRAM441に関しては、通常動作モードでの値の設定が不要であると同

時に、自由な値の設定によるテストが可能である。

【0034】今、図2の回路と同様に、スキャンフリップフロップ431とスキャンフリップフロップ432の出力をそれぞれ書き込みデータの下位ビットと上位ビットとし、スキャンフリップフロップ433とスキャンフリップフロップ434の出力をそれぞれ、書き込みアドレス下位ビットと上位ビットとし、スキャンフリップフロップ435の出力を書き込みイネーブルとし、スキャンフリップフロップ451とスキャンフリップフロップ452の入力をそれぞれ、読みだしデータの下位ビットと上位ビットとし、スキャンフリップフロップ453とスキャンフリップフロップ454の出力をそれぞれ、読みだしアドレスの下位ビットと上位ビットとし、スキャンフリップフロップ455の出力を読みだしイネーブルとする。

【0035】ここで、書き込みイネーブルのイネーブル値と読みだしイネーブルのイネーブル値は、共に1とする。該前提で、値の設定に関し説明する。今、2進表記で11のアドレスに、データ10を書いておき、同アドレスデータをデータ11に書き換える場合の遅延のテストを行う場合は、まず、図1のクロックの0から1への変化タイミング122のタイミングに同期して、スキャンフリップフロップ431, 432, 433, 434, 435に、それぞれ、0, 1, 1, 1, 1、更に、1サイクル後には、スキャンフリップフロップ431, 432, 433, 434, 435には、それぞれ、スキャンフリップフロップ411, 412, 413, 414, 415の値がシフトされ、スキャンフリップフロップ451, 452, 453, 454, 455には、それぞれ、スキャンフリップフロップ471, 472, 473, 474, 475の値がシフトされるため、図1のクロックの0から1への変化タイミング122のタイミングに同期して、スキャンフリップフロップ411, 412, 413, 414, 415には、それぞれ、1, 1, 1, 1, 1になるように、また、スキャンフリップフロップ471, 472, 473, 474, 475には、それぞれ、0, 1, 1, 1, 1になるように、値をシフトしておけば良い。

【0036】次に、更に一般的な回路に対し、テストパターンの作成法を含むテスト方法を説明する。被テスト回路に対し、テストに必要なクロックサイクルがnサイクルである場合、境界フリップフロップに対し、複数サイクルのテスト値が連続して被テスト回路に入力されるよう、前記境界フリップフロップを構成する各フリップフロップの入力側に接続されるn-1段のフリップフロップを被テスト回路の前記境界フリップフロップを構成するフリップフロップとは異なるフリップフロップになるような構成にはなっていない、一般的な回路に対し、本発明のテスト方法を適用する場合のテスト値の設定法を図6に示す。

【0037】まず、ステップ801の処理の開始後、ステップ802の第1サイクルの被テスト回路の境界フリップフロップの値をマージ結果パターンに設定する処理に移る。ステップ802の処理はまず被テスト回路をテストするため、最初のテストパターンを作成中のパターンとして登録する。該作成中のパターンをマージ結果パターンと呼ぶ。

【0038】次に、ステップ803のKに1を代入する処理において、作成済みパターン数をKに代入する。ステップ803の後、2パターン目以降の処理フローに入る。ステップ804のKにK+1を代入する処理では、パターン数を1増加させKに代入する。

【0039】ステップ805のKが必要パターン数を超えたか否かの判定では、パターン数の判定部である。パターン数Kは作成済みのパターン数+1となっているが、該パターン数が必要パターン数を超えた場合は、既に必要なパターン数が作成できているということであるから、ステップ811のテストパターンの登録処理に移り、最終的なテストパターンとして登録する。

【0040】ステップ805の判定で、必要パターン数を超えていない場合は、ステップ806のマージ結果パターンを1サイクル分シフトする処理に移る。ステップ806は、現在登録されているマージ結果パターンを1サイクル分後方にシフトする処理である。

【0041】シフト経路の一番最初のフリップフロップの値は、該時点では、何の値も設定されないため、制約のない値が設定される。

【0042】本発明のテスト方法では、テストに使用される値は連続してシフトされるため、第1のパターンは第2のパターンで1サイクル分シフトして使用されるため、第2のパターンを作成する場合の制約となる。

【0043】したがって、以前のサイクルのパターンをシフトして、該サイクルで必要な設定値と矛盾がないか否かを解析する必要がある。ステップ806の時点では、K-1サイクル連続してシフトすればテスト可能なパターンがマージ結果パターンに格納されている。

【0044】次のステップ807の第Kサイクルでの被テスト回路の境界フリップフロップの設定値を第Kパターンに設定する処理では、第Kサイクルでの被テスト回路の境界フリップフロップの設定値を第Kパターンとして設定する。次にステップ808の現在のマージ結果パターンと第Kパターンの結合処理の結果を新しいマージ結果パターンに登録する処理に進む。

【0045】ステップ808の処理は、ステップ806で設定されている、K-1パターン目までの設定値であるマージ結果パターンと、ステップ807で設定される第Kパターンとの間に矛盾がないか否かを検証し、結合する、結合処理である。該結合処理に使用される演算を、図7に示す。

【0046】パターン値1、パターン値2は、それぞれ、各

スキャンフリップフロップのマージ結果パタンの値と第Kパタンの値を示す。Xはドントケア値を示し、Fは矛盾値を表す。基本的に、上記演算は、既にシフトして使用されている以前のテストパタンと該テストパタンから加える新たなテストパタンが、同じスキャンフリップフロップに対し、0と1と異なる値の設定となっていた場合は、矛盾と判断するという処理となっている。

【0047】ステップ808の結合処理の結果を受け、ステップ809の矛盾値を検出したか否かの判定では、結合処理の結果、矛盾値が検出された場合は、ステップ810のテストパタンの削除処理に進み、これまで作成したテストパタンを削除する処理である。

【0048】上記処理の場合は、テストパタン作成はやり直しとなる。ステップ809で矛盾値が検出されなかつた場合は、そのままテストパタンの作成を継続するため、ステップ804の処理に移る。上記処理を繰り返し、必要パタン数の生成が終了すれば、ステップ811のテストパタンの登録処理に移り、ステップ812の処理の終了で終了する。

【0049】上記図6のフローチャートに基づいた、テストパタンの作成法を図5の回路を用いて説明する。図5の回路で、スキャンフリップフロップ510から、ANDゲート512と513を経て、フリップフロップ515に至る経路に対し、スキャンフリップフロップ510が値0から値1に変化する場合の、遅延テストをする場合を想定する。上記の場合、テスト開始の最初のサイクルでは、スキャンフリップフロップ508と509を値1に設定し、スキャンフリップフロップ510には、値0を設定し、第2のサイクルでは、スキャンフリップフロップ508と509と510に値1を設定しなけれ

ばならない。

【0050】パタン作成法を表1～3に示す。表1～3のSF1、SF2、SF3、SF4、SF5、SF6、SF7、SF8、SF9とは、それぞれ、スキャンフリップフロップ503、スキャンフリップフロップ5002、スキャンフリップフロップ501、スキャンフリップフロップ508、スキャンフリップフロップ509、スキャンフリップフロップ510、スキャンフリップフロップ516、スキャンフリップフロップ515、スキャンフリップフロップ514を示す。

【0051】表1は、各サイクルでのスキャンフリップフロップの設定値であり、テストに必要な各クロックサイクルでの値を示す。第1のサイクルでは、テスト対象のバスの変化前の値を設定するため、SF4（スキャンフリップフロップ508）、SF5（スキャンフリップフロップ509）、SF6（スキャンフリップフロップ510）に、それぞれ、1、1、0を設定する。その他のフリップフロップはどの値でも良い。第2のサイクルでは、テスト対象のバスに変化を起こさせる値を設定する。つまり、SF4（スキャンフリップフロップ508）、SF5（スキャンフリップフロップ509）、SF6（スキャンフリップフロップ510）に、1、1、1を設定する。該時点において、バスの変化の値を取り込むフリップフロップはSF8（スキャンフリップフロップ515）であるが、変化が伝わる前は、変化後の値と反対となるように、値を設定しておく必要があることから、SF8（スキャンフリップフロップ515）には0を設定する。

【0052】

【表1】

パタン番号	SF1	SF2	SF3	SF4	SF5	SF6	SF7	SF8	SF9
1	X	X	X	1	1	0	X	X	X
2	X	X	X	1	1	1	X	0	X

【0053】表2は、各サイクルでのマージ結果パタンであり、図6のフローで示される各テストサイクルにおけるマージ結果パタンを示している。ステップ802（図6）の処理終了時、つまり、第1パタンに対するマ

ージ結果パタンは、第1のサイクルのパタンそのものであるため、マージ回数1の行のようになる。

【0054】

【表2】

マージ回数	SF1	SF2	SF3	SF4	SF5	SF6	SF7	SF8	SF9
1	X	X	X	1	1	0	X	X	X
2	X	X	X	1	1	1	0	0	X

【0055】次に、ステップ806の処理では、上記の値を1サイクル分シフトするため、第1サイクルのテストサイクルで、ドントケア以外の値を持っていたSF4（スキャンフリップフロップ508）、SF5（スキャ

ンフリップフロップ509）、SF6（スキャンフリップフロップ510）の値は、それぞれ、SF5（スキャンフリップフロップ509）、SF6（スキャンフリップフロップ510）、SF7（スキャンフリップフロッ

ブ516)の値にシフトする。該シフトされた値と第2サイクルの値である、表1の第2バタンに示される値を結合すると、特に矛盾は発生せず、表2のマージ回数2の行の値となる。

【0056】つまり、テスト開始後2つ目のクロックサイクルでの値が表2のマージ回数2の行の値となるように連続して値をシフトしてゆけば良いことになる。

【0057】テスト開始時のクロックサイクルのシフト値で表現しなおせば、表3のテスト開始時のスキャンフリップフロップの設定値のようになる。

【0058】

【表3】

SF1	SF2	SF3	SF4	SF5	SF6	SF7	SF8	SF9
X	X	1	1	1	0	0	X	X

【0059】スキャンバスのシフト経路を図5のように形成した場合は、上記のように制約に基づいた、テストバタン作成を行わねばならないが、タイミング的にクリティカルな部分が、あらかじめ判明している場合は、本発明の他の実施の形態として、図8のようにスキャンバスのシフト経路を変更する方法をとることも可能である。図8と図5は、スキャンバスのシフト経路以外は同じである。1101～1103、1108～1110及び1114～1116はスキャンフリップフロップであり、1104、1105及び1111はインバーターであり、1106、1107、1112及び1113はANDゲートである。

【0060】今、スキャンフリップフロップ1110から、ANDゲート1112と1113を経て、スキャンフリップフロップ1115に至る経路に対し、スキャンフリップフロップ1110が値0から値1に変化する場合の、遅延テストをする場合を想定すると、上記の場合、被テスト回路に直接値を与え、観測を行うフリップフロップは、境界フリップフロップであるが、上記の場

合の境界フリップフロップは、スキャンフリップフロップ1108、1109、1110及びスキャンフリップフロップ1115である。

【0061】上記のフリップフロップのシフト経路上の前の段のフリップフロップは、それぞれ、スキャンフリップフロップ1101、1102、1103及びスキャンフリップフロップ1116となっており、いずれも境界フリップフロップではないため、テスト開始後、連続して2つのテストサイクルに渡り、自由な値の設定が可能である。

【0062】図9に、一部のフリップフロップがスキャンバスフリップフロップになっていない回路の例を示す。1201、1202、1210は、スキャンフリップフロップではない通常のフリップフロップすなわち非スキャンフリップフロップであり、1203、1204、1209、1211、1216、1217及び1218はスキャンフリップフロップであり、1205、1206、1212及び1213はインバーター、1207、1208、1214及び1215はANDゲートである。

【0063】上記回路の非スキャンフリップフロップ1210の出力が0に固定されてしまう故障である0縮退故障に対するテストバタン作成法を示したのが、表4～6である。表4～6で、SF1、SF2、SF3、SF4、SF5、SF6、SF7は、それぞれ、スキャンフリップフロップ1204、1203、1209、1211、1218、1217、1216を示す。DINは、非スキャンフリップフロップ1201のデータ入力Dにつながる外部入力端子である。SF0は、図には表れていない、シフト動作の説明上の仮想スキャンフリップフロップでありスキャンシフトのバス上で、SF1(スキャンフリップフロップ1204)の1段前に仮定したスキャンフリップフロップである。

【0064】

【表4】

バターン番号	SF1	SF2	SF3	SF4	SF5	SF6	SF7	DIN
1	X	X	X	X	X	X	X	1
2	1	0	X	X	X	X	X	X
3	X	X	0	1	X	X	X	X

【0065】

【表5】

マージ回数	SF1	SF2	SF3	SF4	SF5	SF6	SF7
1	X	X	X	X	X	X	X
2	1	0	X	X	X	X	X
3	X	1	0	1	X	X	X

【0066】

【表6】

SF0	SF1	SF2	SF3	SF4	SF5	SF6	SF7
1	0	1	X	X	X	X	X

【0067】非スキャンフリップフロップ1210の出力の0縮退故障を検出する、1つのテストパターンとして、表4で表されるテストパターンが考えられる。表4のパターン番号の順の示されるように値（各サイクルでのスキャンフリップフロップの設定値）を設定してゆくと、第1のクロックサイクルで、非スキャンフリップフロップ1201であるDF1の出力が値1となり、第2のクロックサイクルでは、非スキャンフリップフロップ1202であるDF2の出力が値1となり、SF1（スキャンフリップフロップ1204）、SF2（スキャンフリップフロップ1203）の出力はそれぞれ、値1、値0となるため非スキャンフリップフロップ1210には、値1が伝ばする。

【0068】第3のクロックサイクルでは、DF3の出力は、値1にSF3（スキャンフリップフロップ1209）、SF4（スキャンフリップフロップ1211）の出力は、それぞれ、値0、値1となるため、正常な回路では、SF6（スキャンフリップフロップ1217）の入力は値1となるが、非スキャンフリップフロップ1210の出力が0縮退故障を持っていた場合は、SF6（スキャンフリップフロップ1217）の入力は値0となり、故障の検出が可能である。

【0069】図6のフローを用いて、テスト開始後、連続してシフト動作をさせることで、テスト可能か否かを求めることができる。表5は各サイクルでのマージ結果パターンである。第1のパターンは、特に、スキャンバスフリップフロップの設定値をも持たないため、マージ結果パターンは第1パターンに対しては、すべてのスキャンフリップフロップに対しドントケアである（マージ回数1の行の値）。

【0070】上記を1サイクル分シフトさせ、第2パターンの値との結合処理を行った結果は、マージ回数2の行の値となる。さらに、1サイクル分シフトさせ、第3パターンの値との結合処理を行った結果は、マージ回数3の行の値となる。第3パターンのマージ結果パターンを求める過程で矛盾は起こっておらず、テスト開始後第3のクロックサイクルの時点で、スキャンバスフリップフロップがマージ回数3の行で示す値となるように、連続して値をシフトすれば良い。表6は、テスト開始時のスキャンフリップフロップの設定値を示しており、テスト開始時のクロックサイクルの時点でのスキャンフリップフロップの設定値を示している。

【0071】実施の形態に係るスキャンバステスト回路は上記の如く構成されており、実施されるので、以下に掲げる効果を奏する。第1の効果は、遅延テストを、回路オーバーヘッドを伴うことなく、しかも、通常回路を

通常動作をさせて、値を設定するという処理を、複雑な操作なしに、行い得る点である。理由は、連続したシフト動作のみで、テストに必要な値を設定するパターン作成法あるいは回路構成法をとっているためである。

【0072】第2の効果は、順序回路のテストを、必要以上に、複雑な通常回路の設定を行うことなく、実施する点である。理由は、連続したシフト動作のみで、テストに必要な値を設定するパターン作成法あるいは回路構成法をとっているためである。

【0073】なお、本実施の形態においては、本発明は上記に限定されず、本発明を適用する上で好適な形態に適用することができる。

【0074】また、上記構成部材の数、位置、形状等は上記実施の形態に限定されず、本発明を実施する上で好適な数、位置、形状等にすることができる。

【0075】なお、各図において、同一構成要素には同一符号を付している。

【0076】

【発明の効果】本発明は以上のように構成されているので、以下に掲げる効果を奏する。第1の効果は、遅延テストを、回路オーバーヘッドを伴うことなく、しかも、通常回路を通常動作をさせて、値を設定するという複雑な操作なしに、行うことの可能なテスト方法及び回路が提供される点にある。また、本発明の第2の効果は、順序回路のテストを、必要以上に、複雑な通常回路の設定を行うことなく、実施することの可能なテスト方法及び回路が提供される点にある。

【図面の簡単な説明】

【図1】本発明の回路のテスト方法による回路制御方法を示すタイムチャートである。

【図2】テストパターン生成の第1の対象回路の回路構成を表す電気回路図である。

【図3】従来の回路のテスト方法による回路制御方法を示すタイムチャート図である。

【図4】本発明の実施回路の第1の回路構成を表す電気回路図である。

【図5】テストパターン生成の第2の対象回路の回路構成を表す電気回路図である。

【図6】本発明のパターン生成法を示すフローチャートである。

【図7】本発明のパターン生成法に使用される結合演算である。

【図8】本発明の実施回路の第2の回路構成を表す電気回路図である。

【図9】テストパターン生成の第3の対象回路の回路構成を表す電気回路図である。

【符号の説明】

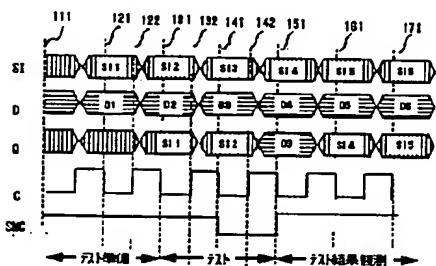
111, 121, 131, 141, 151, 161, 1  
71 テストサイクルの境界

122, 132, 142 クロックの0から1への変化

## タイミング

211～215 スキャンフリップフロップ  
 231～235 スキャンフリップフロップ  
 251～255 スキャンフリップフロップ  
 271～275 スキャンフリップフロップ  
 221, 261 通常動作回路  
 241 テスト対象のRAM  
 311, 321, 331, 341, 351, 361, 371 テストサイクルの境界  
 322, 332, 342 クロックの0から1への変化  
 タイミング  
 411～415 スキャンフリップフロップ  
 431～435 スキャンフリップフロップ  
 451～455 スキャンフリップフロップ  
 471～475 スキャンフリップフロップ  
 421, 461 通常動作回路  
 441 テスト対象のRAM  
 501～503 スキャンフリップフロップ  
 504, 505 インバーター  
 506, 507 ANDゲート  
 508～510 スキャンフリップフロップ  
 511 インバーター  
 512, 513 ANDゲート

【図1】



111, 121, 131, 141, 151, 161, 171 テストサイクルの境界

122, 132, 142 クロックの0から1への変化タイミング

S1 スキャンイン入力

D データ入力

Q 出力

C クロック入力

SMC 制御入力

【図7】

A <sup>1</sup> の値1	0	1	X
A <sup>2</sup> の値2	0	F	0
0	0	F	0
1	F	1	1
X	0	1	X

X = ドントケア値  
 F = 不要値

514～516 スキャンフリップフロップ

S1 スキャンイン入力

D データ入力

Q 出力

C クロック入力

SMC 制御入力

1101～1103 スキャンフリップフロップ

1104, 1105 インバーター

1106, 1107 ANDゲート

1108～1110 スキャンフリップフロップ

1111 インバーター

1112, 1113 ANDゲート

1114～1116 スキャンフリップフロップ

1201, 1202 非スキャンフリップフロップ

1203, 1204 スキャンフリップフロップ

1205, 1206 インバーター

1207, 1208 ANDゲート

1209 スキャンフリップフロップ

1210 非スキャンフリップフロップ

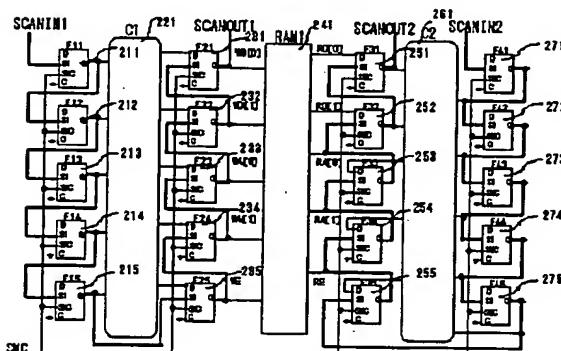
1211 スキャンフリップフロップ

1212, 1213 インバーター

1214, 1215 ANDゲート

1216～1218 スキャンフリップフロップ

【図2】



211～215 スキャンフリップフロップ

231～235 スキャンフリップフロップ

251～255 スキャンフリップフロップ

271～275 スキャンフリップフロップ

221, 261 通常動作回路

241 テスト対象のRAM

S1 スキャンイン入力

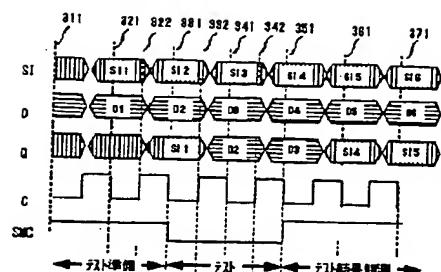
D データ入力

Q 出力

C クロック入力

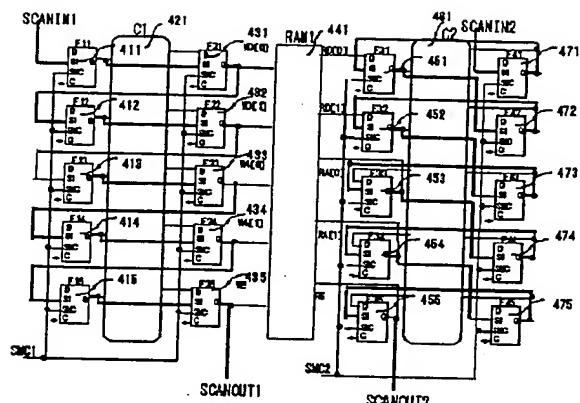
SMC 制御入力

【図3】



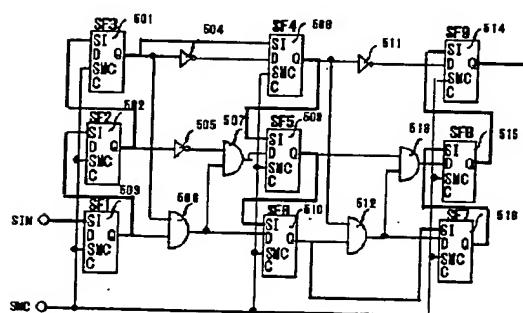
311, 321, 331, 341, 351, 361, 371 テストサイクルの境界  
 322, 332, 342 クロックの0から1への変化タイミング  
 SI スキャンイン入力  
 D データ入力  
 Q 出力  
 C クロック入力  
 SMC 制御入力

【図4】



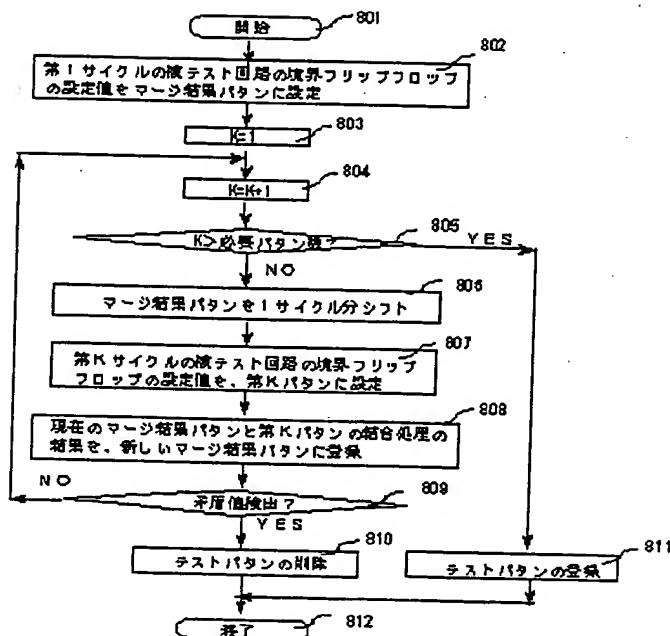
411~415 スキャンフリップフロップ  
 431~435 スキャンフリップフロップ  
 451~455 スキャンフリップフロップ  
 471~475 スキャンフリップフロップ  
 421, 461 通常動作回路  
 441 テスト対象のRAM  
 SI スキャンイン入力  
 D データ入力  
 Q 出力  
 C クロック入力  
 SMC 制御入力

【図5】

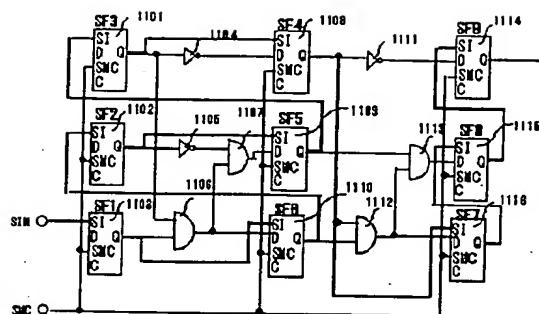


501~503 スキャンフリップフロップ  
 504, 505 インバータ  
 506, 507 ANDゲート  
 508~510 スキャンフリップフロップ  
 511 インバータ  
 512, 513 ANDゲート  
 514~516 スキャンフリップフロップ  
 SI スキャンイン入力  
 D データ入力  
 Q 出力  
 C クロック入力  
 SMC 制御入力

【図6】



【図8】



SI スキャンイン入力

D データ入力

Q 出力

C クロック入力

SMC 制御入力

1101~1103 スキャンフリップフロップ

1104, 1105 インバーター

1106, 1107 ANDゲート

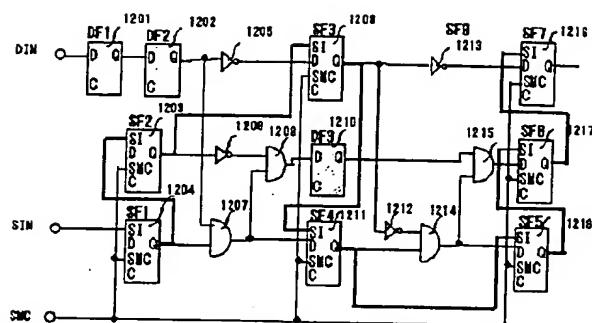
1108~1110 スキャンフリップフロップ

1111 インバーター

1112, 1113 ANDゲート

1114~1116 スキャンフリップフロップ

【図9】



1201, 1202 非スキャンフリップフロップ

1203, 1204 スキャンフリップフロップ

1205, 1206 インバーター

1207, 1208 ANDゲート

1209 スキャンフリップフロップ

1210 非スキャンフリップフロップ

1211 スキャンフリップフロップ

1212, 1213 インバーター

1214, 1215 ANDゲート

1216~1218 スキャンフリップフロップ

SI スキャンイン入力

D データ入力

Q 出力

C クロック入力

SMC 制御入力

